苏州大学实验报告

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 院、系 | 计算机学院 | | 年级专业 | | 计算机类 | | 姓名 | 娄陈 | 学号 | 1727405150 |
| 课程名称 | | 数字电路与数字系统设计 | | | | | | | 成绩 |  |
| 指导教师 | |  | | 同组实验者 | | 无 | | 实验日期 | 2018.11.05 | |

|  |  |
| --- | --- |
| 实 验 名 称 | 实验三：计数器实验 |

1. 实验目的

1.掌握74LS161型集成计数器的使用

1. 实验设备
   1. TD-DS+/TD-DS实验箱1台
   2. 74LS161同步4位二进制计数器1片
   3. 74LS00 2输入端四与非门1片
2. 实验步骤

1**．74LS161功能测试**

按图接线，输入端接到逻辑电平开关上，时钟输入端接单次脉冲，输出端接逻辑电平显示，根据图2-6-1连接线路，完成芯片功能测试，验证表2-6-1。



**图2-6-1 74LS161功能验证**

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| D3D2D1D0 | CLK | CLR | EP | ET | LOAD | 功能 | Q3Q2Q1Q0 |
| 0110 | × | 0 | × | × | × | 清零 |  |
| 0110 | ↑ | 1 | × | × | 0 | 接数 |  |
| 0110 | ↑ | 1 | 1 | 1 | 1 | 计数加1 |  |
| 0110 | × | 1 | 0 | 1 | 1 | 保持 |  |
| 0110 | × | 1 | 0 | 0 | 1 | 保持 |  |
| 0110 | × | 1 | 1 | 0 | 1 | 保持 |  |

**2.用74LS161和门电路设计实现一个十进制计数器。**

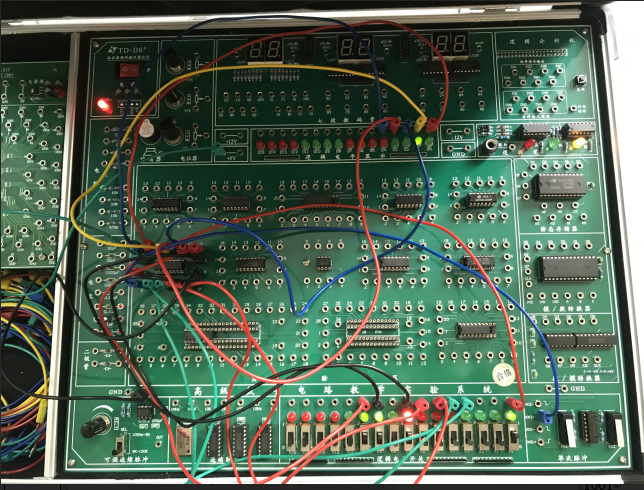
下面原理图2-6-2自己设计进行实验。



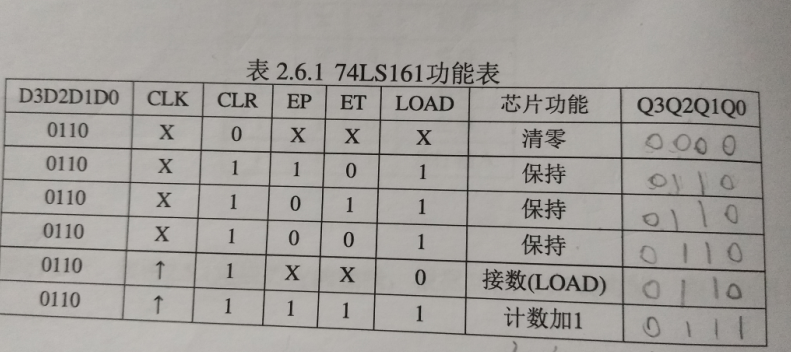
**图2-6-2 74LS161十进制计数器原理图**

1. 实验结果

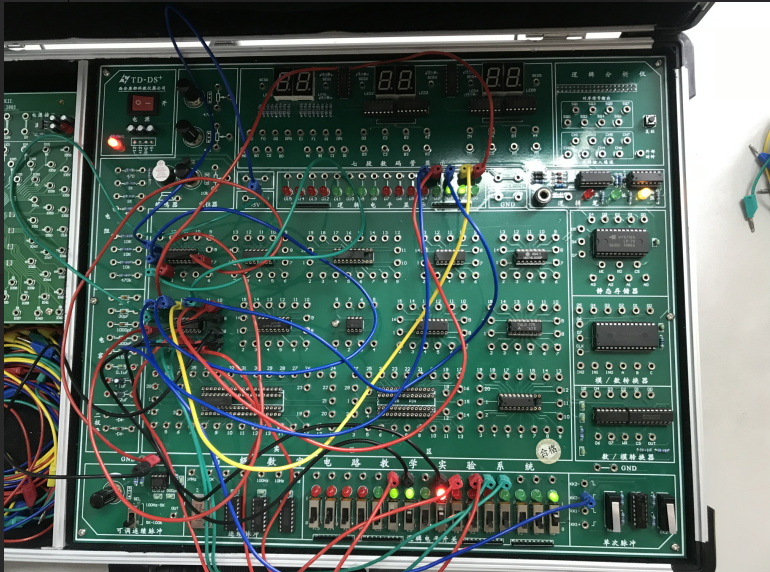
1.



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| D3D2D1D0 | CLK | CLR | EP | ET | LOAD | 功能 | Q3Q2Q1Q0 |
| 0110 | × | 0 | × | × | × | 清零 | 0000 |
| 0110 | ↑ | 1 | × | × | 0 | 接数 | 0110 |
| 0110 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0111 |
| 0110 | × | 1 | 0 | 1 | 1 | 保持 | 0111 |
| 0110 | × | 1 | 0 | 0 | 1 | 保持 | 0111 |
| 0110 | × | 1 | 1 | 0 | 1 | 保持 | 0111 |



2.



先按照第一部分的电路图连上，只需要进行一点点修改就可以了。按照这个电路图先不改动，然后将Q1,Q3连接到74LS00 与非门芯片，将Q1，Q3连接到1,2号接口，然后3号输出与CLR这一输入端相连接，14连接Vcc，7接地这是使用这个芯片必须的。这样电路图就连接好了，接下来就是测试了。

数据输入端置0（D0=D1=D2=D3=0），然后通过CLK进行加1的操作，可以进行的是0到9的输出，这样十进制就调试好了。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D3D2D1D0 | CLK | CLR | EP | ET | LOAD | 功能 | Q3Q2Q1Q0 | 十进制 |
| 0000 | × | 0 | × | × | × | 清零 | 0000 | 0 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0001 | 1 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0010 | 2 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0011 | 3 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0100 | 4 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0101 | 5 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0110 | 6 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 0111 | 7 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 1000 | 8 |
| 0000 | ↑ | 1 | 1 | 1 | 1 | 计数加1 | 1001 | 9 |

1. 实验体会

进一步对数电进行了了解，掌握74LS161型集成计数器的使用。设计了十进制的计数器电路，在调试的工程中还将8进制调试出来了，只需要将D0，D1，D2，D3为0110这样就是调试出了8进制。这一次的试验时间虽然很短，但是难度比上一次高了一点，但是随着学习的深入，对电路图的试剂和分析很有帮助。